

EUROPEAN PATENT OFFICE

Patent Abstracts of Japan

PUBLICATION NUMBER : 10144796
PUBLICATION DATE : 29-05-98

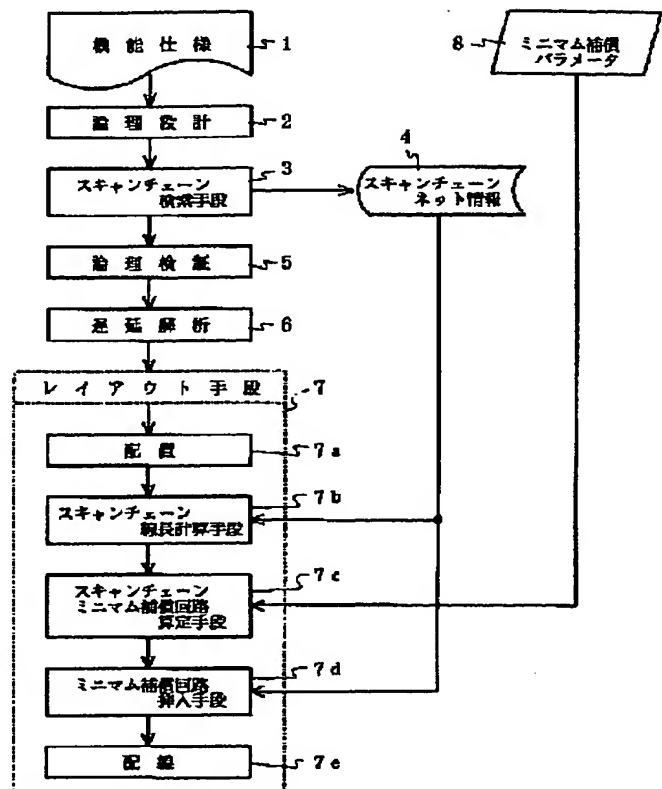
APPLICATION DATE : 07-11-96
APPLICATION NUMBER : 08294773

APPLICANT : NEC ENG LTD;

INVENTOR : SHIMADA TETSUHIRO;

INT.CL. : H01L 21/82 G06F 17/50 H01L 27/04
H01L 21/822

TITLE : INTEGRATED CIRCUIT LAYOUT
DESIGNING CIRCUIT



ABSTRACT : PROBLEM TO BE SOLVED: To provide an integrated circuit layout designing circuit which enables an integrated circuit to be improved in capacity, lessened in cost and design manhours, and enhanced in design quality.

SOLUTION: A scan chain retrieval means 3 retrieves scan chain net data from circuit diagram data where a minimum delay composition circuit is not present after a logic design is made, and the scan chain net data are stored in a scan chain net data storage means 4. A scan chain line length computing means 7b executes processing such as logic verification, delay analysis, and layout, then retrieves a target flip flop from the scan chain net data, and then calculates the line length of each scan chain. A scan chain minimum compensation circuit calculation means 7c selects a delay circuit which is to be inserted basing on the minimum delay compensation parameters of a minimum compensation parameter storage means 8 and the line length of the scan chains. A minimum delay compensation circuit insertion means 7d adds the selected delay circuit to the circuit diagram data and arranges it.

COPYRIGHT: (C)1998,JPO

THIS PAGE BLANK (USPTO)

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-144796

(43) 公開日 平成10年(1998) 5月29日

(51) Int.Cl.⁸

識別記号

F I

H 0 1 L 21/82

H 0 1 L 21/82

C

G 0 6 F 17/50

G 0 6 F 15/60

6 5 4 N

H 0 1 L 27/04

6 5 6 D

21/822

H 0 1 L 27/04

T

審査請求 未請求 請求項の数3 O L (全 5 頁)

(21) 出願番号 特願平8-294773

(22) 出願日 平成8年(1996)11月7日

(71) 出願人 000232047

日本電気エンジニアリング株式会社

東京都港区芝浦三丁目18番21号

(72) 発明者 島田 哲宏

東京都港区芝浦三丁目18番21号 日本電気

エンジニアリング株式会社内

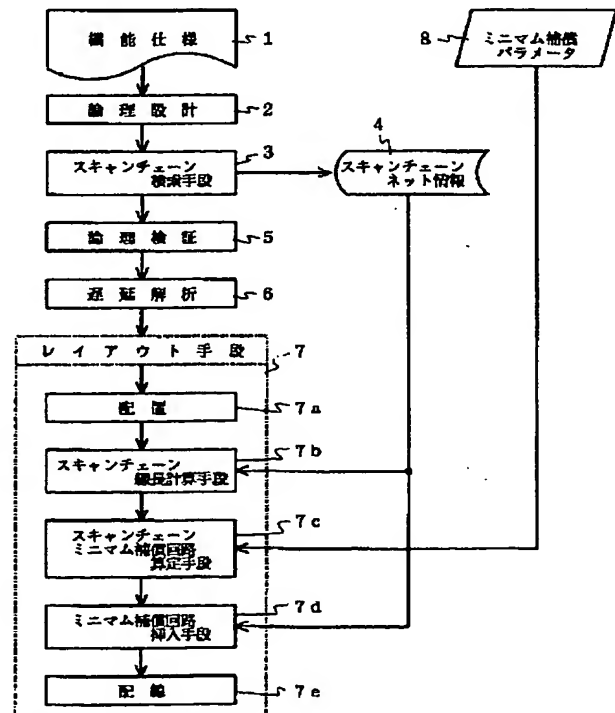
(74) 代理人 弁理士 京本 直樹 (外2名)

(54) 【発明の名称】 集積回路のレイアウト設計回路

(57) 【要約】

【課題】 集積回路の収容性の向上やコスト低減、及び設計工数の削減や設計品質の向上を図ることが可能な集積回路のレイアウト設計回路を提供する。

【解決手段】 スキャンチェーン検索手段3は論理設計後のミニマム遅延補償回路が存在していない回路図データからスキャンチェーンのネット情報を検索し、スキャンチェーンネット情報格納手段4に格納する。スキャンチェーン線長計算手段7bは論理検証や遅延解析、及び配置の各処理の実行後、スキャンチェーンネット情報から対象となるフリップフロップを検索して各スキャンチェーンの線長を計算する。スキャンチェーンミニマム補償回路算定手段7cはミニマム補償パラメータ格納手段8のミニマム遅延補償パラメータと各スキャンチェーン線長とを基に挿入すべき遅延回路を選択する。ミニマム遅延補償回路挿入手段7dは選択された遅延回路を回路図データに追加して配置する。



【特許請求の範囲】

【請求項1】 スキャンチェーンを備えた集積回路のレイアウト設計を行うレイアウト設計回路であって、論理設計時に挿入される前記スキャンチェーンのネット情報を検索するスキャンチェーン検索手段と、前記スキャンチェーン検索手段の検索結果を基にレイアウト設計時における配置処理完了後の前記スキャンチェーンの線長を計算するスキャンチェーン線長計算手段と、少なくともクロックスキュー規定値を記述したミニマム補償パラメータと前記スキャンチェーン線長計算手段で計算された前記スキャンチェーンの線長とに基づいてミニマム補償回路の算定を行うミニマム補償回路算定手段と、前記ミニマム補償回路算定手段によって選択されたミニマム補償回路を前記スキャンチェーン検索手段の検索結果に基づいて前記スキャンチェーンに挿入するミニマム補償回路挿入手段とを有することを特徴とするレイアウト設計回路。

【請求項2】 前記スキャンチェーン検索手段の検索結果を格納する格納手段を含み、前記集積回路の論理検証及び遅延解析を行った後に前記スキャンチェーン線長計算手段が前記格納手段の内容に基づいて前記スキャンチェーンの線長を計算するようにしたことを特徴とする請求項1記載のレイアウト設計回路。

【請求項3】 前記ミニマム補償パラメータは、少なくとも予め設定されたミニマム遅延補償する際のクロックスキュー値と規定線長と遅延回路の対応とが記述されていることを特徴とする請求項1または請求項2記載のレイアウト設計回路。

【発明の詳細な説明】**【0001】**

【発明の属する技術分野】 本発明は集積回路のレイアウト設計回路に関し、特にスキャンチェーンを有する集積回路におけるレイアウト方式のミニマム遅延時間補償に関する。

【0002】

【従来の技術】 近年のVLSI (Very Large Scale Integrated Circuit) 開発では、その製品サイクルの短命化に伴ってメタル層リワークが用いられることが多い。

【0003】 メタル層リワークとは設計完了後、ES (エンジニアリング・サンプル) を作成するために拡散投入してからES評価が完了するまでの期間に発見したバグを予めVLSI内に設けておいたダミー回路を利用してメタル層 (配線層) のみを修正して差し替えるリワーク処置である。

【0004】 このリワーク処置を用いることによって、設計の上流段階まで戻ることなくVLSI開発を行うことができるので、大幅なリードタイムの短縮が可能になる。また、近年のVLSI開発では、その大規模化に伴って試験容易化のためにスキャンチェーンを予め挿入し

ておくことが多い。

【0005】 従来、上記の集積回路にスキャンチェーンを予め挿入しておく方法では、スキャンチェーンに対するミニマム遅延時間補償が論理設計時に全てのスキャンチェーンネットに対して一律の補償回路 (遅延回路) を挿入している。

【0006】 すなわち、図3に示すように、集積回路30内のフリップフロップ (F/F) 32a~32iを縦続接続してなるスキャンチェーンに対して一律な遅延回路33a~33jを挿入している。これは、各フリップフロップ32a~32i間の配線遅延がどの程度になるかが論理設計段階で把握できないためである。尚、31はスキャンイン端子 (SIN) を示し、35はスキャンアウト端子 (SOT) を示している。

【0007】 よって、設計者はミニマム遅延補償を行う際、配線遅延が最悪 (最低) になることを想定し、最悪のケースに対応できる遅延回路33a~33jを選択し、各フリップフロップ32a~32i間に一律に挿入している。

【0008】 しかしながら、近年の集積回路の高集積化に伴って、フリップフロップ等の順序回路は5千個以上存在する場合もあり、ミニマム遅延補償回路が集積回路の収容性やコストを悪化させる要因になってきている。

【0009】

【発明が解決しようとする課題】 上述した従来の集積回路のレイアウト技術では、レイアウト完了後のスキャンチェーンの配線遅延を考慮できないため、無駄な補償回路の挿入を行ったり、あるいは十分な補償回路が挿入されていないという問題を起こす可能性がある。

【0010】 そこで、本発明の目的は上記の問題点を解消し、集積回路の収容性の向上やコスト低減、及び設計工数の削減や設計品質の向上を図ることができる集積回路のレイアウト設計回路を提供することにある。

【0011】

【課題を解決するための手段】 本発明による集積回路のレイアウト設計回路は、スキャンチェーンを備えた集積回路のレイアウト設計を行うレイアウト設計回路であって、論理設計時に挿入される前記スキャンチェーンのネット情報を検索するスキャンチェーン検索手段と、前記スキャンチェーン検索手段の検索結果を基にレイアウト設計時における配置処理完了後の前記スキャンチェーンの線長を計算するスキャンチェーン線長計算手段と、少なくともクロックスキュー規定値を記述したミニマム補償パラメータと前記スキャンチェーン線長計算手段で計算された前記スキャンチェーンの線長とに基づいてミニマム補償回路の算定を行うミニマム補償回路算定手段と、前記ミニマム補償回路算定手段によって選択されたミニマム補償回路を前記スキャンチェーン検索手段の検索結果に基づいて前記スキャンチェーンに挿入するミニマム補償回路挿入手段とを備えている。

【0012】すなわち、本発明の集積回路のレイアウト方式では、論理設計時に挿入されたスキャンチェーンのネット情報を検索しておき、レイアウト設計時における配置処理完了後にスキャンチェーンのネット情報を基にスキャンチェーンの線長を計算し、その計算結果とクロックスキュー規定値等を記述したミニマム補償パラメータとに基づいてミニマム補償回路の算定を行って選択されたミニマム補償回路をスキャンチェーンに挿入している。

【0013】これによって、スキャンチェーンのミニマム遅延補償を過不足無く最適に行うことが可能となるため、集積回路の収容性の向上やコスト低減、及び設計工数の削減や設計品質の向上を図ることが可能となる。

【0014】

【発明の実施の形態】次に、本発明の一実施例について図面を参照して説明する。図1は本発明の一実施例の構成を示すブロック図である。図において、本発明の一実施例による集積回路の設計装置は機能仕様1を基に論理設計を行う論理設計手段2と、スキャンチェーン検索手段3と、スキャンチェーンネット情報格納部4と、論理検証手段5と、遅延解析手段6と、レイアウト手段7と、ミニマム補償パラメータ格納手段8とから構成されている。

【0015】これらの手段のうちレイアウト手段7は配置手段7aと、スキャンチェーン線長計算手段7bと、スキャンチェーンミニマム補償回路算定手段7cと、ミニマム補償回路挿入手段7dと、配線手段7eとから構成されている。

【0016】図2は本発明の一実施例によるスキャンチェーンの接続イメージを示す図である。図においては、集積回路20内のフリップフロップ(F/F)22a～22iを縦続接続してなるスキャンチェーンに対して遅延回路23a、23b、24a～24fを挿入している。尚、21はスキャンイン端子(SIN)を示し、25はスキャンアウト端子(SOT)を示している。また、遅延回路23a、23bは遅延回路24a～24fよりも遅延時間が大となっている。

【0017】これら図1及び図2を参照して本発明の一実施例の動作について説明する。本発明の一実施例による論理設計段階でミニマム遅延補償回路を挿入しないことを前提としている。

【0018】スキャンチェーン検索手段3は論理設計手段2による論理設計後のミニマム遅延補償回路が存在していない回路図データを入力し、論理設計時に挿入されるスキャンチェーンのネット情報を検索してスキャンチェーンネット情報格納手段4に格納しておく。

【0019】続いて、従来技術と同様に、論理検証手段5や遅延解析手段6、及びレイアウト手段7内の配置手段7aの各処理を実行した後、スキャンチェーン線長計

算手段7bは前述したスキャンチェーンネット情報格納手段4から対象となるフリップフロップ22a～22iを検索し、その距離から各スキャンチェーンの線長を計算する。

【0020】ミニマム補償パラメータ格納手段8には予め設計者が用意するミニマム遅延補償する際のクロックスキュー値や規定線長、及び遅延回路23a、23b、24a～24fの対応を記述したミニマム遅延補償パラメータが格納されている。

【0021】スキャンチェーンミニマム補償回路算定手段7cはミニマム補償パラメータ格納手段8に格納されたミニマム遅延補償パラメータとスキャンチェーン線長計算手段7bによって計算された各スキャンチェーン線長とを基に、スキャンチェーンに挿入すべき遅延回路23a、23b、24a～24fを選択する。

【0022】ミニマム遅延補償回路挿入手段7dはスキャンチェーンミニマム補償回路算定手段7cによって選択された遅延回路23a、23b、24a～24fを、スキャンチェーンネット情報格納手段4のスキャンチェーンネット情報を基に回路図データに追加して配置する。これによって、適正な遅延回路23a、23b、24a～24fの挿入が全てのスキャンチェーンに挿入されることになる(図2参照)。

【0023】このように、論理設計手段2による論理設計時に挿入されたスキャンチェーンのネット情報をスキャンチェーン検索手段3で検索してスキャンチェーンネット情報格納部4に格納しておき、レイアウト手段7の配置手段7aによる配置処理完了後にスキャンチェーンのネット情報を基にスキャンチェーンの線長をスキャンチェーン線長計算手段7bで計算し、その計算結果とクロックスキュー規定値等を記述したミニマム補償パラメータ格納手段8のミニマム補償パラメータとに基づいてスキャンチェーンミニマム補償回路算定手段7cでミニマム補償回路の算定を行って選択されたミニマム補償回路をミニマム補償回路挿入手段7dでスキャンチェーンに挿入することによって、スキャンチェーンのミニマム遅延補償を過不足無く最適に行うことが可能となるので、集積回路20の収容性の向上やコスト低減、及び設計工数の削減や設計品質の向上を図ることができる。

【0024】

【発明の効果】以上説明したように本発明によれば、スキャンチェーンを備えた集積回路のレイアウト設計を行うレイアウト設計回路において、論理設計時に挿入されるスキャンチェーンのネット情報を検索しておき、その検索結果を基にレイアウト設計時における配置処理完了後のスキャンチェーンの線長を計算し、その計算結果と少なくともクロックスキュー規定値を記述したミニマム補償パラメータとに基づいてミニマム補償回路の算定を行って選択されたミニマム補償回路を上記の検索結果に基づいてスキャンチェーンに挿入することによって、集

積回路の収容性の向上やコスト低減、及び設計工数の削減や設計品質の向上を図ることができるという効果がある。

【図面の簡単な説明】

【図1】本発明の一実施例の構成を示すブロック図である。

【図2】本発明の一実施例によるスキャンチェーンの接続イメージを示す図である。

【図3】従来例によるスキャンチェーンの接続イメージを示す図である。

【符号の説明】

2 論理設計手段

3 スキャンチェーン検索手段

4 スキャンチェーンネット情報格納部

5 論理検証手段

6 遅延解析手段

7 レイアウト手段

7 a 配置手段

7 b スキャンチェーン線長計算手段

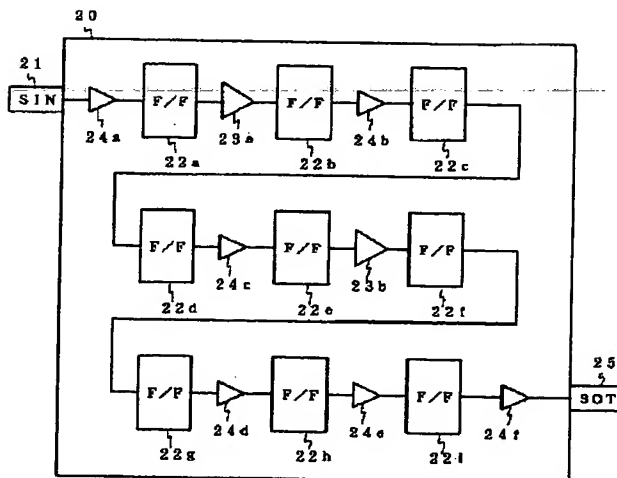
7 c スキャンチェーンミニマム補償回路算定手段

7 d ミニマム補償回路挿入手段

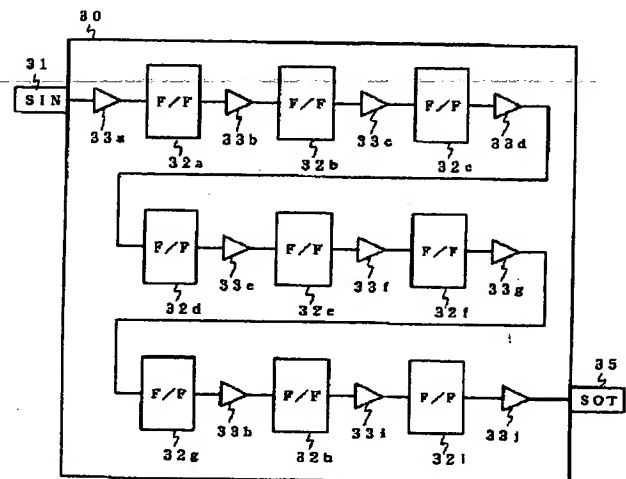
7 e 配線手段

8 ミニマム補償パラメータ格納手段

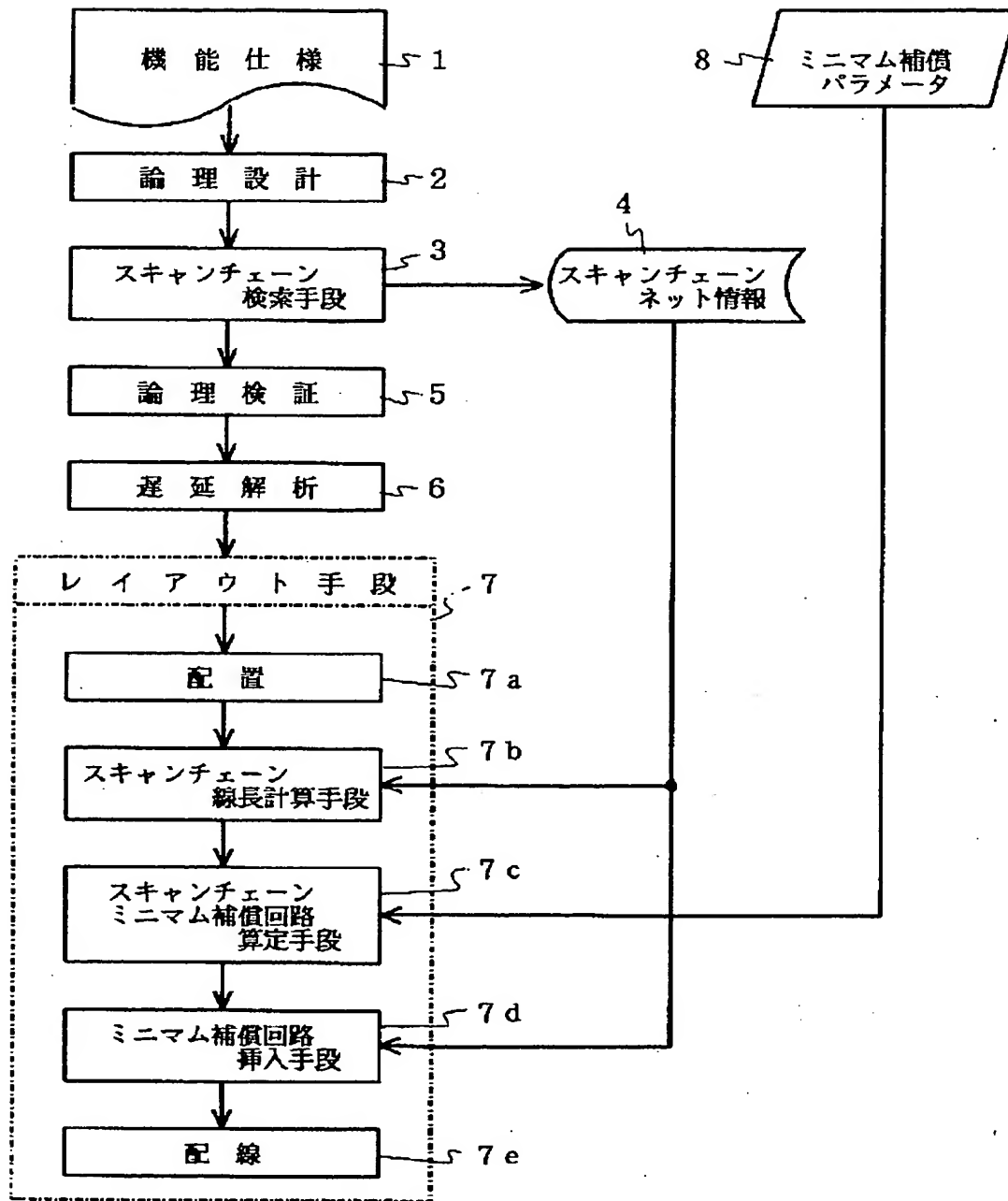
【図2】



【図3】



【図1】



THIS PAGE BLANK (USPTO)